

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133635

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H01L 21/3065
H01L 21/306
H01L 21/308

(21)Application number : 10-303057

(71)Applicant : FURONTEKKU:KK

(22)Date of filing : 23.10.1998

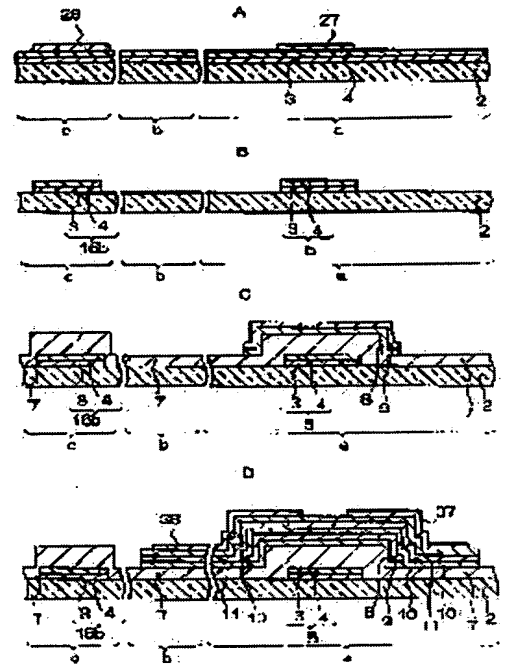
(72)Inventor : JIYO KEITETSU

(54) ETCHING AGENT AND MANUFACTURE OF SUBSTRATE FOR ELECTRONIC EQUIPMENT USING THE SAME AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To etch each metallic film constituting a laminated film in which a metallic film is laminated on an Al film or Al alloy film with low resistance at almost the same etching rate by one time of etching at the time of using the laminated film as wiring materials.

SOLUTION: Etching agent has hydrofluoric acid and excessive iodic acid and sulfuric acid, and the weight ratio of the sum of the hydrofluoric acid and the excessive iodic acid is 0.05-30 wt.%, and the weight ratio of the sulfuric acid is 0.5-20 wt.%, and the weight rate of the excessive iodic acid to the hydrofluoric acid is 0.01-2. Also, the etching agent is made of materials for etching each film of wiring 5, in which an aluminum film or an aluminum alloy film and a titanium film or a titanium alloy film are laminated in a batch at almost the same etching rate.



LEGAL STATUS

[Date of request for examination]

05.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-133635

(P2000-133635A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3065

H 0 1 L 21/306

F

21/306

21/308

F

21/308

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21)出願番号

特願平10-303057

(22)出願日

平成10年10月23日(1998. 10. 23)

(71)出願人 395003523

株式会社フロンテック

宮城県仙台市泉区明通三丁目31番地

(72)発明者 ▲じょ▼ 奎哲

宮城県仙台市泉区明通三丁目31番地 株式

会社フロンテック内

(74)代理人 100064908

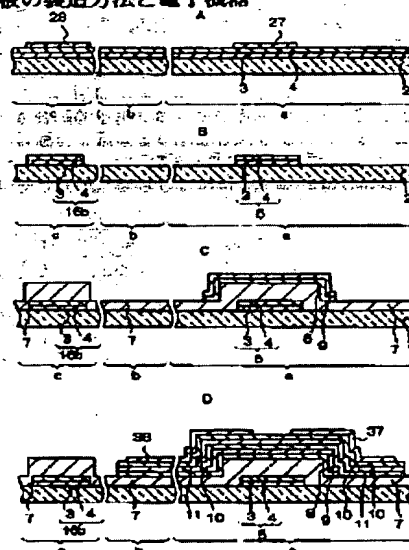
弁理士 志賀 正武 (外 9 名)

(54)【発明の名称】 エッチング剤及びこれを用いた電子機器用基板の製造方法と電子機器

(57)【要約】

【課題】 低抵抗のAl膜又はAl合金膜に他の金属膜を積層した積層膜を配線材料として用いる場合に、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできるエッチング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器の提供。

【解決手段】 フッ酸と過ヨウ素酸と硫酸とを有し、前記フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし30wt%であり、かつ前記硫酸の重量割合が0.05乃至20wt%であり、前記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2であり、アルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを積層してなる配線5、12、14の各膜を略同一エッチングレートで一括的にエッチング可能な材料からなることを特徴とするエッチング剤。



【特許請求の範囲】

【請求項 1】 フッ酸と過ヨウ素酸と硫酸とを有し、前記フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし30wt%であり、かつ前記硫酸の重量割合が0.05乃至20wt%であり、前記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2であり、アルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを積層してなる記録の各膜を略同一エッチングレートで一括的にエッチング可能な材料からなることを特徴とするエッチング剤。

【請求項 2】 少なくとも表面が絶縁性である基板上にアルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを順に形成した積層膜の表面に所定パターンのマスクを形成し、請求項 1記載のエッチング剤を用いて前記積層膜をエッチングして前記所定パターンの積層膜を形成することを特徴とする電子機器用基板の製造方法。

【請求項 3】 少なくとも表面が絶縁性である基板上にチタン膜又はチタン合金膜、アルミニウム膜又はアルミニウム合金膜およびチタン膜又はチタン合金膜とを順に形成した積層膜の表面に所定パターンのマスクを形成し、請求項 1記載のエッチング剤を用いて前記積層膜をエッチングして前記所定パターンの積層膜を形成することを特徴とする電子機器用基板の製造方法。

【請求項 4】 前記請求項 2または3記載の製造方法により製造した基板を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はエッチング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器に関し、特に、Al膜又はAl合金膜とTi膜又はTi合金膜とを積層してなる記録の各膜を略同一エッチングレートで一括的にエッチング可能なエッチング剤に関する。

【0002】

【従来の技術】 記録材料としてのAlは、低抵抗であるという利点を有しており、電子機器において、基板上の電極等の記録材料に多用されている。図12は、電子機器の一例として、一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部分を示す概略図である。この薄膜トランジスタ82は、基板83上にゲート電極84が設けられ、このゲート電極84を覆うようにゲート絶縁膜85が設けられている。ゲート電極84上方のゲート絶縁膜85上にアモルファスシリコン（以下、a-Siと略記する）からなる半導体能動膜86が設けられ、リン等のn型不純物を含むアモルファスシリコン（以下、n⁺-a-Siと略記する）からなるオーミックコンタクト層87を介して半導体能動膜86上からゲート絶縁膜85上にわたってソース電極88およびドレイン電極89が設けられている。そして、これらソース電極

88、ドレイン電極89、ゲート電極84等で構成される薄膜トランジスタ82を覆うパッシベーション膜90が設けられ、ドレイン電極89上のパッシベーション膜90にコンタクトホール91が設けられている。さらにこのコンタクトホール91を通じてドレイン電極89と電気的に接続されるインジウム酸化錫（以下、ITOと略記する）等の透明電極層からなる画素電極92が設けられている。

【0003】 また、図12左側の部分は表示領域外に位置するゲート記録端部のゲート端子パッド部93の断面構造を示している。基板83上のゲート記録材料からなる下部パッド層94上にゲート絶縁膜85およびパッシベーション膜90を貫通するコンタクトホール95が設けられ、このコンタクトホール95を通じて下部パッド層94と電気的に接続される透明電極層からなる上部パッド層96が設けられている。尚、ソース記録端部においても類似の構造となっている。以上のように、例えば、薄膜トランジスタにおいては、ゲート端子、ソース端子および画素電極をなす透明電極層と、ゲート記録、ソース記録およびドレイン電極をなす記録用金属が直接接続されるように構成されている。ところが、この種の電子機器において記録抵抗を下げる目的で、記録用材料としてAlからなる金属膜を用いた場合、ヒロックが生じるという問題がある。このヒロックは、熱処理時にAl膜の表面に発生する針状突起のことであり、この突起がAl上に積層された絶縁層を突き抜け、他の導電層とショートしたり絶縁不良を起こしたりする恐れがあった。また、ITOとAlを直接接触させると、ITO中の酸素がAlを酸化してしまい、その結果コンタクト部分の電気抵抗が上昇してしまう。

【0004】 上述のような問題を回避するためにAl膜上にMo膜やCr膜等の他の金属膜を形成した積層膜（以下、相異金属の積層膜と略す）が多用されるようになってきている。このような相異金属の積層膜からゲート電極84を形成する場合、例えば、図14のAに示すように、基板83上に形成したAl膜84a上にMo膜84bを積層した積層膜84cの表面にフォトリソグラフィにより所定のパターンのフォトマスク97を形成した後、H₃PO₄80重量%とHNO₃とCH₃COOHとH₂Oからなるエッチング剤を用いて上記積層膜84cを一括エッチングを行うことにより得られる。ところが上記の相異金属の積層膜に一括エッチングを施してパターンニングする場合には、金属膜間の電位差によりエッチング剤中で電池反応が起り、下層のAl膜が上層のMo膜より速くエッチングされるため、図14のBに示すような下層のAl膜84aの線幅が上層のMo膜84bの線幅より狭くなるアンダーカットが生じてしまい、絶縁耐圧不良などの問題が起こる場合があった。そこで、このような問題を解決する方法として、上記の一括エッチング後、ひさし状のMo膜84bを過ヨウ素酸を用いて

る追加エッチングを行うことにより、パターニングする方法が考えられている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の電子機器用基板の製造方法においては、相異金属の積層膜から積層配線を形成する際に、エッチング工程が少なくとも2回必要であるために、歩留まりが悪く、また、製造工程が長くなってしまい、コスト高となるという問題があった。また、上述のような追加エッチングを行うと、上層のMo膜84bが下層のAl膜84aより僅かに速くエッチングされ、図14のCに示すように下層のAl膜84aが僅かに突き出してしまうという問題が生じ、積層配線を構成する上層と下層の配線の線幅のコントロールが困難であった。

【0006】また、相異金属の積層膜からゲート電極84を形成する他の形成方法としては、図15のAに示すように基板83上にAl膜84aを形成した後、Al膜84aの表面にフォトリソレジスト97を塗布し、フォトリソグラフィを行い、ついで図15のBに示すようにエッチングを行って、所望の線幅のAl膜84aを得、ついで図15のCに示すようにAl膜84aをMo膜84bで覆った後、図15のDに示すようにフォトリソグラフィにより所定パターンのフォトマスク98を形成した後、エッチングを行うことにより得られる。ところがこの方法でも先に述べた従来の方法と同様にエッチング工程が少なくとも2回必要であるため、同様の問題があり、また、得られる積層配線構造は、図15のEに示すように下層のAl膜84aが上層のMo膜84bで覆われた構造であるため、上層の線幅が下層の線幅より必然的に大きくなってしまいうため、上層と下層の配線の線幅のコントロールが困難であった。

【0007】本発明は、上記事情に鑑みてなされたもので、低抵抗のAl膜又はAl合金膜に他の金属膜を積層した積層膜を配線材料として用いる場合に、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできるエッチング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器を提供することにある。

【0008】

【課題を解決するための手段】本発明者は、Al膜又はAl合金膜に他の金属膜を積層した相異金属の積層膜を配線材料として用いる場合に、一回のエッチングにより、アンダーカットの発生を極力低減したうえで、上記積層膜を構成する各金属膜を略同一エッチングレートでエッチング可能なエッチング剤を提供すべく、特に上記相異金属の積層膜を構成する各金属膜を電極として電解液に浸漬した際の電極電位に着目し、種々の検討及び実験を重ねた結果、上記積層膜をなすその他の金属膜としてAl又はAl合金との電位差が小さいものを用いれば、エッチングレートの差が小さく、具体的には、Al膜

膜又はAl合金膜とTi膜又はTi合金膜とを順に形成した積層膜を配線材料として用いると、アンダーカットの発生を低減でき、一括エッチングできる可能性があるとの推定に至った。

【0009】ここでの推定は、以下に述べるような実験に基づいたものである。図4に示すような電極電位測定装置を用意した。この電極電位測定装置は、電解液75が満たされる容器76と、一方の電極77としての標準水素電極（以下、SHEと略す）と、他方の電極78としての種々の金属（Al、Mo、Ti、Cu、Cr）からなる試料と、これら両電極77、78に可変抵抗79を介して接続された電源80から概略構成されたものである。このような電極電位測定装置を用いて両電極77、78の電位差を測定するには、容器76内に電解液75を満たした後、該電解液75にSHE77および試料78を浸漬し、電源80から電圧を加えて電流を流すことにより、両電極77、78の電極電位E0を測定した。容器に満たされる電解液75は、試料を構成する金属により異なり、試料がAlの場合はH₂SO₄、Moの場合はHCl又はNaOH、Tiの場合はHCl、Cuの場合はH₂SO₄、Crの場合はHClを用いた。ここでの電極電位E0の測定の際には、電流が0になるように可変抵抗を調節し、そのときの電極間の電位差を読みとったものである。その結果を図5に示す。なお図5中、ΔEはAlからなる試料の電極電位と、他の金属からなる試料の電極電位との電位差である。図5に示した結果から、Alからなる試料（E0=-1.66V）を用いたときの電極間の電位差との差が小さいものはTiからなる試料（E0=-1.63V）であり、ΔE=0.03Vであることがわかった。

【0010】しかしながら、Al膜又はAl合金膜とTi膜又はTi合金膜とを順に積層した積層膜（以下、AlとTiの積層膜と略す）を用いた積層配線はこれまで実用化されておらず、また、このような積層配線を形成する際にアンダーカットの発生を極力低減したうえで、上記積層膜を構成する各金属膜を略同一エッチングレートで一括エッチング可能なエッチング剤も実用化されていないし、上記積層膜を一括エッチングする方法も確立されておらず、従って上述した推定が実証され実用化されるには未だ至っていない。

【0011】更に、本発明者は、種々の検討及び実験を重ねた結果、エッチング剤をフッ酸と過ヨウ素酸と硫酸から構成するとAlとTiの積層膜を構成する各金属膜を同時にエッチングできること、このエッチング剤にAlからなる電極とTiからなる電極を浸漬し先述述べた実験と同様にして電極間の電位差を測定したときの電位差ΔEが小さくなると、AlとTiの積層膜を一括エッチングしたときのAl膜のサイドエッチ量ΔLが小さくなり、特に電極間の電位差ΔEが400mV以下のエッチング剤を用いると、実用上問題のない程度（ΔLが

500オング" ストローム 程度以下) までアンダーカットを低減できることを見いだした。また、上記電極間の電位差 ΔE は、上記エッチング剤を構成する各成分の配合量を調整することにより変更できることを見いだした。その理由は、下記式(1)

$$E = E_0 + (RT/nF \ln \sigma) \quad \dots (1)$$

(式中、 E は電位差、 E_0 は標準電極電位、 R は気体定数、 T は絶対温度、 n は電子数、 F はファラデー定数、 σ は溶液相のイオンの活量である。)で示されるNernst式において、 σ の値はエッチング剤の組成および組成比によって変更できるため、電位差である E の値も変更できるからである。

【0012】図6に、 A_1 電極と T_1 電極間の電位差 ΔE と、 A_1 と T_1 の積層膜のサイドエッチ量 ΔL との関係を示す。このときのサイドエッチ量 ΔL は、図13に示すように基板2a上に1300オング" ストロームの A_1 膜3aと500オング" ストロームの T_1 膜4aを順に積層した積層膜をHFと H_2SO_4 と H_2O からなるエッチング剤を用いてエッチングをしたときに、 T_1 膜4側面から入り込んだ T_1 膜4側面までの距離である。図6の電位差 ΔE が0.1Vのときエッチング剤の各成分の割合は、HFが0.3wt%、 H_2SO_4 が0.5wt%、 H_2O が0.5mol/l (2.7wt%)、 ΔE が0.45Vのときは、HFが0.25wt%、 H_2SO_4 が0.5wt%、 H_2O が0.3mol/l (1.6wt%)、 ΔE が0.65Vのときは、HFが0.5wt%、 H_2SO_4 が0.5mol/l (2.7wt%)、 ΔE が0.95Vのときは、HFが0.3wt%、 H_2SO_4 が1.0wt%、 H_2O が0.5mol/l (2.7wt%)であった。

【0013】そして、本発明者は、エッチング剤をフッ酸と過ヨウ素酸と硫酸から構成したとき、これら各成分の配合量を以下のような特定の範囲内に規定することにより、 A_1 電極と T_1 電極間の電位差 ΔE が400mV以下のものが得られ、上記課題を解決できるとの結論に至った。本発明は、フッ酸と過ヨウ素酸と硫酸とを有し、上記フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし30wt%であり、かつ上記硫酸の重量割合が0.05乃至20wt%であり、上記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2であり、 A_1 膜又は A_1 合金膜と T_1 膜又は T_1 合金膜とを積層してなる記録の各膜を略同一エッチングレートで一括的にエッチング可能な材料からなることを特徴とするエッチング剤を上記課題の解決手段とした。

【0014】上記フッ酸と過ヨウ素酸との合計の重量割合が0.05wt%未満であると、エッチングレートが遅くなり過ぎてしまい、30wt%を超えるとエッチングレートが遅くなり過ぎて制御が困難になってしまう。上記硫酸の重量割合が0.05wt%未満であると、上記電位差 ΔE が400mVを超えてしまい、 A_1 膜又は

A_1 合金膜と T_1 膜又は T_1 合金膜との積層膜を一括エッチングしたときに大きなアンダーカットが生じてしまい、絶縁耐圧不良が生じる場合があり、20wt%を超えて添加してもはや効果の増大はできず、フッ酸と過ヨウ素酸の割合が少なくなり、エッチング状況の面内分布が重くなってしまう。上記フッ酸に対する過ヨウ素酸の重量比が0.01未満であると、上記電位差 ΔE が400mVを超えてしまい、重量比が2を超えると電位差 ΔE が400mVを超えてしまい、上記積層膜を一括エッチングしたときに大きなアンダーカットが生じてしまい、絶縁耐圧不良が生じる場合がある。

【0015】本発明のエッチング剤は、フッ酸と過ヨウ素酸と硫酸から構成されたものである。そのため、 A_1 膜又は A_1 合金膜と T_1 膜又は T_1 合金膜とを順に形成した積層膜、あるいは T_1 膜又は T_1 合金膜、 A_1 膜又は A_1 合金膜および T_1 膜又は T_1 合金膜とを順に形成した積層膜を構成する各金属膜を同時にエッチングできる。また、本発明のエッチング剤によれば、上記フッ酸と過ヨウ素酸との合計の重量割合を0.05ないし30wt%の範囲内、かつ上記硫酸の重量割合を0.05乃至20wt%の範囲内、上記フッ酸に対する過ヨウ素酸の重量比を0.01乃至2の範囲内に調整したことにより、低抵抗の A_1 膜又は A_1 合金膜に他の金属膜として T_1 膜又は T_1 合金膜を積層した積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできる。

【0016】また、本発明は、少なくとも表面が絶縁性である基板上に A_1 膜又は A_1 合金膜と T_1 膜又は T_1 合金膜とを順に形成した積層膜(以下、 A_1 と T_1 の積層膜と略す)の表面に所定パターンマスクを形成し、本発明のエッチング剤を用いて上記積層膜をエッチングして上記所定パターンの積層記録を形成することとを特徴とする電子機器用基板の製造方法を上記課題の解決手段とした。また、本発明は、少なくとも表面が絶縁性である基板上に T_1 膜又は T_1 合金膜、 A_1 膜又は A_1 合金膜および T_1 膜又は T_1 合金膜とを順に形成した積層膜(以下、 T_1 と A_1 と T_1 の積層膜と略す)の表面に所定パターンマスクを形成し、本発明のエッチング剤を用いて上記積層膜をエッチングして上記所定パターンの積層記録を形成することとを特徴とする電子機器用基板の製造方法を上記課題の解決手段とした。

【0017】本発明の電子機器用基板の製造方法によれば、上述の構成の本発明のエッチング剤を用いて上記積層膜をエッチングすることにより、一回のエッチング工程で上記積層膜を構成する各金属膜を同時にかつ略同一エッチングレートでエッチングできるので、歩留まりが良好で、製造工程を短縮できる。また、上記積層膜を構成する各金属膜を略同一エッチングレートでエッチングできるので、積層記録を構成する上層と下層の記録の線幅のコントロールが容易である。また、 A_1 膜又は A_1

合金膜にTi膜又はTi合金膜を積層した積層膜を用いるので、Al膜又はAl合金膜表面にバリア層が形成された構成となり、その後の熱処理等によるAl膜又はAl合金膜表面のヒロックの成長が抑えられるため、ヒロックによるショートや鉛線不良を防止できる。また、Ti膜又はTi合金膜とITOとのコンタクト抵抗は、Al膜又はAl合金膜とITOとのコンタクト抵抗よりも低いので、Al膜又はAl合金膜表面にTi膜又はTi合金膜を形成することにより、コンタクト抵抗を低くすることができる。従って、本発明の電子機器用基板の製造方法によれば、電気的特性が良好であり、歩留まりの向上によるコストが低い電子機器用基板を得ることができる。

【0018】また、本発明は、上記請求項2または3記載の製造方法により製造した基板を有することを特徴とする電子機器を上記課題の解決手段とした。本発明の電子機器によれば、低抵抗配線としてAl膜またはAl合金膜を有する積層配線を用いた電子機器用基板が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置等を容易に実現できるといふ利点がある。

【0019】

【発明の実施の形態】以下、図面により本発明について詳細に説明するが、本発明はこれらの実施形態例のみに限定されるものではない。図3は、本発明の電子機器用基板の製造方法を液晶表示装置に備えられる薄膜トランジスタ基板の製造方法に適用して製造された薄膜トランジスタの実施形態例を示す部分断面図である。符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。なおこれら3つの部分は、この薄膜トランジスタ基板1が備えられる実際の液晶表示装置においては離れた箇所であり、本来断面図を同時に示せるものではないが、図示の都合上、近接させて図示する。

【0020】まず、薄膜トランジスタ部aの部分について説明する。薄膜トランジスタ部aには、基板2上に膜厚1300乃至2000オングストローム程度のAl膜又はAl合金膜3と膜厚500乃至1000オングストローム程度のTi膜又はTi合金膜4の積層配線からなるゲート電極5が設けられている。その上にゲート絶縁膜7が設けられ、このゲート絶縁膜7上にアモルファスシリコン(a-Si)からなる半導体膜8が設けられ、さらにこの半導体膜8上にn⁺型a-Si層9が設けられ、その上にソース電極12およびドレイン電極15が設けられている。ソース電極12、ドレイン電極15は、膜厚500乃至1000オングストローム程度のTi膜又はTi合金膜10と、膜厚1300乃至2000オングストローム程度のAl膜又はAl合金膜11と、膜厚500乃至1000オングストローム程度のTi膜又はTi合金膜12の積層配線からなるゲート電極15が形成されている。そして、コンタクトホール18の内面および底面に沿って画素電極となるITO層19が形成されている。このコンタクトホール18を通じてドレイン電極15とITO層19(画素電極)が電気的に接続されている。

ストローム程度のTi膜又はTi合金膜10の積層配線からなるものである。

【0021】また、ソース電極12やドレイン電極15の上方にこれらを覆うパッシベーション膜17(絶縁膜)が形成され、このパッシベーション膜17に、Al膜又はAl合金膜11の上側に設けられたTi膜又はTi合金膜10に達するコンタクトホール18が形成されている。そして、コンタクトホール18の内面および底面に沿って画素電極となるITO層19が形成されている。このコンタクトホール18を通じてドレイン電極15とITO層19(画素電極)が電気的に接続されている。

【0022】次に、ソース配線の端子部bに関しては、ゲート絶縁膜7上にTi膜又はTi合金膜10とAl膜又はAl合金膜11とTi膜又はTi合金膜10からなる下部パッド層16aが形成され、その上にはパッシベーション膜17が形成され、Al膜又はAl合金膜11の上側に設けられたTi膜又はTi合金膜10に達するコンタクトホール20が形成されている。そして、コンタクトホール20の内面および底面に沿ってITOからなる上部パッド層21が形成されている。このコンタクトホール20を通じて下部パッド層16aと上部パッド層21が電気的に接続されている。

【0023】次に、ゲート配線の端子部cに関しては、基板2上にAl膜又はAl合金膜3とTi膜又はTi合金膜4の積層配線からなる下部パッド層16bが形成され、その上にはゲート絶縁膜7が形成され、さらにこの上にパッシベーション膜17が形成され、Ti膜又はTi合金膜4に達するコンタクトホール22が形成されている。そして、コンタクトホール22の内面および底面に沿ってITOからなる上部パッド層23が形成されている。このコンタクトホール22を通じて下部パッド層16bと上部パッド層23が電気的に接続されている。このような構成とすることで、ITO層とAl層はITOとの電気接続が可能な金属からなるTi膜又はTi合金膜を介して接続されるので、お互いが直接接触することによる抵抗値の上昇を起こすことはない。上記パッシベーション膜の例としては、a⁺(アモルファス)-SiNx:H、a-SiNx、a-SiO₂:H、SiO₂等を挙げることができる。

【0024】次に、本実施形態の薄膜トランジスタ基板1の製造工程について、図1乃至図2を用いて説明する。図1乃至図2中、符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。まず、図1のAに示すように基板2上の全体にわたってスパッタ法を用いてAl膜又はAl合金膜3とTi膜又はTi合金膜4を順に成膜して積層膜を形成する。ついで、薄膜トランジスタ部aに関してはTi膜又はTi合金膜4上にフォトリソグラフィにより

り所定パターンのフォトリソマスク27を形成した後、フッ酸と過ヨウ素酸と硫酸とからなるエッチング剤を用いて上記積層膜に一括エッチングを施し、図1のBに示すようなA1膜又はA1合金膜3とT1膜又はT1合金膜4の積層配線からなるゲート電極5を形成する。ここで用いたエッチング剤は、上記フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし3.0wt%の範囲内、かつ上記硫酸の重量割合が0.05乃至2.0wt%の範囲内、上記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2.0の範囲内になるように調整されたものである。

【0025】一方、ゲート配線の端子部cに関してはT1膜又はT1合金膜4上にフォトリソグラフィにより所定パターンのフォトリソマスク28を形成した後、先に用いたものと同様のエッチング剤を用いて上記積層膜に一括エッチングを施して、図1のBに示すようなA1膜又はA1合金膜3とT1膜又はT1合金膜4の積層配線からなる下部パッド層16bを形成する。このようにすると、上記積層膜を構成するA1膜又はA1合金膜3とT1膜又はT1合金膜4を同時にかつ略同一エッチングレートでエッチングでき、上層と下層の配線の線幅が等しい積層配線からなるゲート電極5と下部パッド層16bが得られるので、アンダーカットに起因する絶縁耐圧不良の発生を防止できる。

【0026】次に、基板2の上面全体にCVD法を用いてゲート絶縁膜7を形成する。ついで、薄膜トランジスタ部aに関しては、半導体膜8、n+型a-Si層9を形成した後、図1のCに示すようにTFTのチャネル部となるゲート電極5の上部分を露すように半導体膜8、n+型a-Si層9をエッチングする。そして、薄膜トランジスタ部a及びソース配線の端子部bに関しては、図1のDに示すように、T1膜又はT1合金膜10とA1膜又はA1合金膜11とT1膜又はT1合金膜10を順に成膜して積層膜を形成する。

【0027】次に、薄膜トランジスタ部aに関しては、TFTのチャネル部となるゲート電極5の上方のT1膜又はT1合金膜10上にフォトリソグラフィにより所定パターンのフォトリソマスク37を形成した後、先に用いたものと同様のエッチング剤を用いて上記積層膜に一括エッチングを施して、図2のAに示すようなT1膜又はT1合金膜10とA1膜又はA1合金膜11とT1膜又はT1合金膜10の積層配線からなるソース電極12と、ドレイン電極14を形成する。一方、ソース配線の端子部bに関してはT1膜又はT1合金膜10上にフォトリソグラフィにより所定パターンのフォトリソマスク38を行った後、先の用いたものと同様のエッチング剤を用いて上記積層膜に一括エッチングを施して、図2のAに示すようなT1膜又はT1合金膜10とA1膜又はA1合金膜11とT1膜又はT1合金膜10の積層配線からなる下部パッド層16aを形成する。このようにすると、上記積層膜を構成するT1膜又はT1合金膜10と

A1膜又はA1合金膜11とT1膜又はT1合金膜10を同時にかつ略同一エッチングレートでエッチングでき、上層と下層と中間層の配線の線幅が等しい積層配線からなるソース電極12、ドレイン電極14、下部パッド層16aが得られるので、アンダーカットに起因する絶縁耐圧不良を防止できる。その後、n+型a-Si層9を乾式法あるいは乾式法と湿式法との併用によりエッチングしてチャネル24を形成する。

【0028】次に、薄膜トランジスタ部a、ソース配線の端子部b及びゲート配線の端子部cに関しては、T1膜又はT1合金膜4、10上にパッシベーション膜17を形成する。ついで、薄膜トランジスタ部aに関しては、図2のBに示すように、パッシベーション膜17を乾式法あるいは乾式法と湿式法との併用によりエッチングしてコンタクトホール18を形成した後、ITO層を全面に形成した後、パターニングすることにより、図3に示すように、コンタクトホール18の底面および内面、パッシベーション膜17の上面にかけてITO層19を形成する。一方、ソース配線の端子部b、ゲート配線の端子部cについても同様でパッシベーション膜17を乾式法あるいは乾式法と湿式法との併用によりエッチングしてコンタクトホール20、22を形成（ただし、ゲート配線端子部cではパッシベーション膜17の他、さらにゲート絶縁膜7もエッチングしてコンタクトホール22を形成する）した後、ITO層を全面に形成した後、パターニングすることにより、図3に示すように、コンタクトホール20、22の底面および内面、パッシベーション膜17の上面にかけて上部パッド層21、23を形成する。このような手順で、薄膜トランジスタ基板を製造することができる。

【0029】本実施形態例の薄膜トランジスタ基板の製造方法においては、一回のエッチング工程で上記積層膜を構成する各金属膜を同時にかつ略同一エッチングレートでエッチングできるので、積層配線を構成する上層と下層の配線の線幅のコントロールが容易であるうえ、歩留まりが良好で、製造工程を短縮できる。また、A1膜又はA1合金膜上にT1膜又はT1合金膜を積層した積層膜を用いるので、A1膜又はA1合金膜表面にバリア層が形成された構成となり、その後の熱処理等によるA1膜又はA1合金膜表面のヒロックの成長が抑えられるため、ヒロックによるショートや絶縁不良を防止できる。また、A1膜又はA1合金膜上に形成したT1膜又はT1合金膜とITO層とを接続しているため、コンタクト抵抗を向上させることなく、A1膜又はA1合金膜とITO層とを電氣的に接続することができる。従って、本実施形態例のトランジスタ基板の製造方法により製造された薄膜トランジスタ基板1は、電氣的特性が良好であり、歩留まりの向上によりコストを低減できるといふ利点がある。

【0030】なお、本発明の技術範囲は上記実施の形態、

に限定されるものではなく、例えばA1膜又はA1合金膜、Ti膜又はTi合金膜、パッシベーション膜等の膜厚や、形状等について、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。また、上記の実施の形態においては、ゲート電極5、下部パッド層16bをA1膜又はA1合金膜3と、Ti膜又はTi合金膜4の積層膜を一括エッチングして形成する場合について説明したが、Ti膜又はTi合金膜とA1膜又はA1合金膜とTi膜又はTi合金膜の積層膜を一括エッチングして形成してもよい。また、ソース電極12、ドレイン電極14、下部パッド層16aをTi膜又はTi合金膜10とA1膜又はA1合金膜11とTi膜又はTi合金膜10の積層膜を一括エッチングして形成する場合について説明したが、A1膜又はA1合金膜とTi膜又はTi合金膜の積層膜を一括エッチングして形成してもよい。

【0031】図7は、本発明の電子機器用基板の製造方法により製造された薄膜トランジスタ基板を使用した反射型液晶表示装置の一例を示す概略図である。この反射型液晶表示装置は、液晶層59を挟んで対向する上側および下側のガラス基板51、52の上側ガラス基板51の内面側に上側透明電極層55、上側配向膜57が上側ガラス基板51側から順に設けられ、下側ガラス基板52の内面側に下側透明電極層56、下側配向膜58が下側ガラス基板52側から順に設けられている。液晶層59は、上側と下側の配向膜57、58間に配設されている。上側ガラス基板51の外表面側には上側偏光板60が設けられ、下側ガラス基板52の外表面側には下側偏光板61が設けられ、さらに下側偏光板61の外表面側に反射板62が、反射膜64の凹凸面65を下側偏光板61側に向けて取り付けられている。反射板62は、例えば、表面にランダムな凹凸面65を有しているものである。

【0032】この反射型液晶表示装置においては、ガラス基板52が本発明の電子機器の製造方法を薄膜トランジスタ基板の製造方法に適用して製造された実施形態例の薄膜トランジスタ基板1の基板2、下側透明電極層56がITO層（画素電極）19に相当する。本実施形態の反射型液晶表示装置によれば、低抵抗配線としてA1膜またはA1合金膜を有する積層配線を用いた薄膜トランジスタ基板1が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置を容易に実現できるという利点がある。

【0033】

【実施例】以下、本発明を実施例により具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

（実験例1）図4の電極電位測定装置を用いてエッチング中のH1O4の含有量と、A1電極とTi電極間の電位差との関係について以下のようにして調べた。容器内にエッチング液を満たした後、このエッチング液に両電極としてA1電極とTi電極を浸漬し、電源から電圧を加えて電流を流し、両電極間の電位差を測定した。ここのエッチング液としては、HFを0.3wt%、H2SO4を0.1mol/l（0.54wt%）と一定とし、H1O4については0.05wt%乃至2.0wt%の範囲で変更した。結果を図8に示す。図8に示した結果からエッチング中にHFが0.3wt%、H2SO4は0.1mol/l含まれている場合、H1O4の含有量が0.6wt%以下であると、A1電極とTi電極間の電位差ΔEが0.4V以下になることがわかる。電位差ΔEが0.4Vになるときの、HFに対するH1O4の重量比は、2以下であることから、HFに対するH1O4の重量比の上限を2とした。

【0034】（実験例2）エッチング中のHFの含有量とA1電極とTi電極間の電位差と、このエッチング液を用いてA1膜とTi膜の積層膜をエッチングしたときのサイドエッチ量ΔLとの関係について以下のように調べた。エッチング中のHFの含有量とA1電極とTi電極間の電位差については、エッチング液として、H1O4を1.5wt%、H2SO4を1mol/l（5.4wt%）と一定とし、HFについては0.1wt%乃至0.8wt%の範囲で変更したものをを用いた以外に上記実験例1と同様に測定した。その結果を図9に示す。また、サイドエッチ量は、膜厚13000ÅのA1膜と膜厚5000ÅのTi膜の積層膜を、HFの含有量を変更したエッチング液を用いて一括エッチングしたときのサイドエッチ量ΔLを測定した。その結果を図10に示す。図9乃至図10に示した結果からエッチング中にH1O4が1.5wt%、H2SO4が1mol/l含まれている場合、HFの含有量が0.65wt%以上であると、A1電極とTi電極間の電位差ΔEが0.4V以下になり、また、サイドエッチ量ΔLも実用上問題のない5000Åストローム以下になることが判る。特にHFの含有量が0.75wt%以上になると、サイドエッチ量ΔLが2500Åストローム以下となることが判る。

【0035】（実験例3）エッチング中のH2SO4の含有量とA1電極とTi電極間の電位差について、エッチング液としてH1O4を0.05wt%、HFを0.03wt%と一定とし、H2SO4を0wt%乃至0.54wt%の範囲で変更したものをを用いた以外に上記実験例1と同様に測定した。その結果を図11に示す。図11に示した結果からエッチング中にHFが0.03wt%、H1O4の含有量が0.05wt%含まれている場合、H2SO4が0.05wt%以下であるとA1電極とTi電極間の電位差ΔEが0.4V以上になることから、H2SO4の重量比の下限を0.05wt%とした。

【0036】

【発明の効果】以上詳細に説明した通り本発明のエッチング剤によれば、上述のような構成としたことにより、低抵抗のAl膜又はAl合金膜に他の金属膜としてTi膜又はTi合金膜を積層した積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできるという利点がある。また、本発明の電子機器用基板の製造方法によれば、上述の構成の本発明のエッチング剤を用いて上記積層膜をエッチングすることにより、一回のエッチング工程で上記積層膜を構成する各金属膜を同時にかつ略同一エッチングレートでエッチングできるので、積層配線を構成する上層と下層の配線の線幅のコントロールが容易であるうえ、歩留まりが良好で、製造工程を短縮できる。また、本発明の電子機器によれば、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置等を容易に実現できる。

【図面の簡単な説明】

【図1】 本発明の電子機器用基板の製造方法の実施形態例の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。

【図2】 本発明の電子機器用基板の製造方法の実施形態例の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。

【図3】 本発明の電子機器用基板の製造方法により得られた薄膜トランジスタ基板の部分断面図である。

【図4】 電極電位測定装置の概略構成を示す図である。

【図5】 電極を構成する金属と、電極電位の関係を示したグラフである。

【図6】 Al電極とTi電極間の電位差 ΔE と、Al

とTiの積層膜のサイドエッチ量 ΔL との関係を示すグラフである。

【図7】 本実施形態例の薄膜トランジスタ基板を使用した反射型液晶表示装置の一例を示す概略図である。

【図8】 エッチング剤中のHFの含有量と、Al電極とTi電極間の電位差との関係を示すグラフである。

【図9】 エッチング剤中のHFの含有量と、Al電極とTi電極間の電位差との関係を示すグラフである。

【図10】 エッチング剤中のHFの含有量と、このエッチング剤を用いてAl膜とTi膜の積層膜をエッチングしたときのサイドエッチ量との関係を示すグラフである。

【図11】 エッチング剤中のH₂SO₄の含有量と、Al電極とTi電極間の電位差との関係を示すグラフである。

【図12】 一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部分を示す概略図である。

【図13】 基板上に形成したAlとTiの積層膜を示す断面図である。

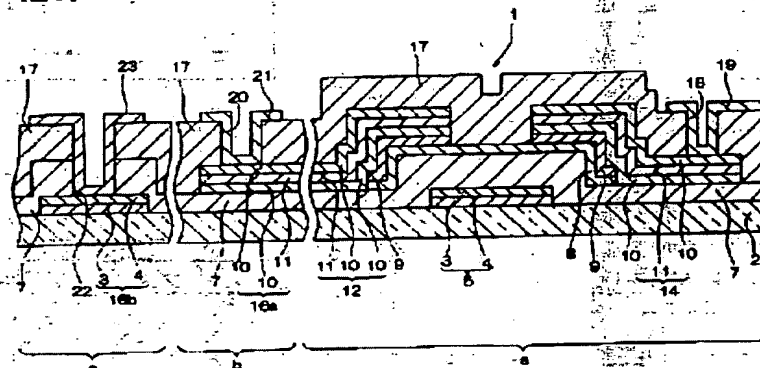
【図14】 従来の電子機器用基板の製造方法を工程順に示した概略図である。

【図15】 従来の電子機器用基板のその他の製造方法を工程順に示す概略図である。

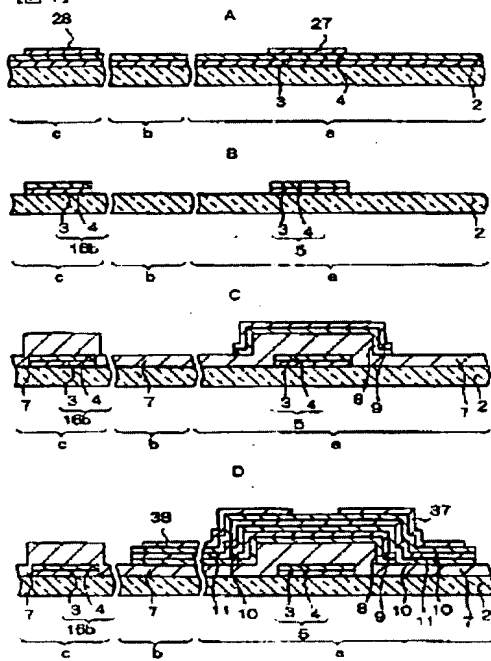
【符号の説明】

1・・・薄膜トランジスタ基板（電子機器用基板）、2・・・基板、3・・・Al膜又はAl合金膜、4・・・Ti膜又はTi合金膜、5・・・ゲート電極（積層配線）、10・・・Ti膜又はTi合金膜、11・・・Al膜又はAl合金膜、12・・・ソース電極（積層配線）、14・・・ドレイン電極（積層配線）、27、28・・・マスク、37、38・・・マスク、52・・・ガラス基板（電子機器用基板）。

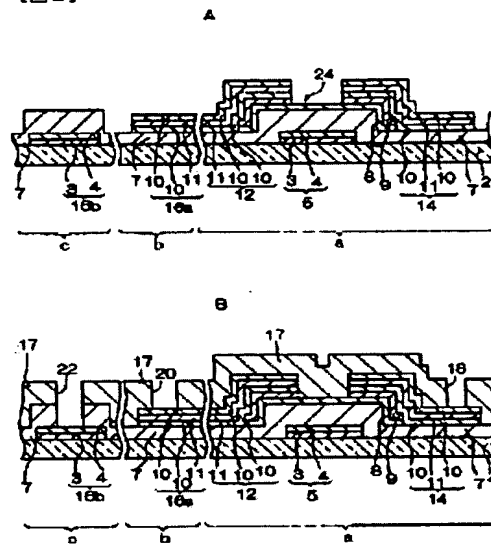
【図3】



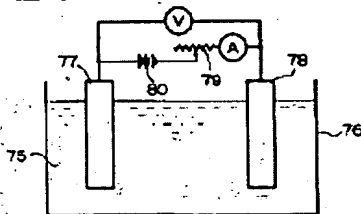
【図 1】



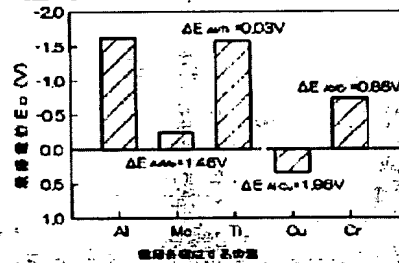
【圖2】



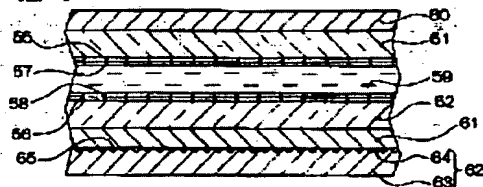
【図 4】



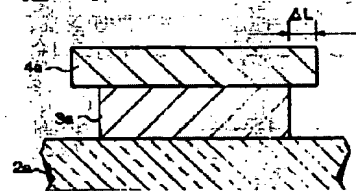
【図 5】



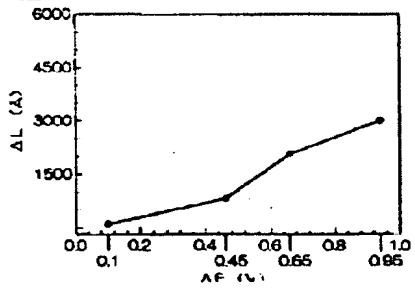
【圖 7】



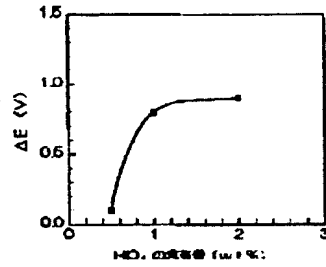
【图 1-3】



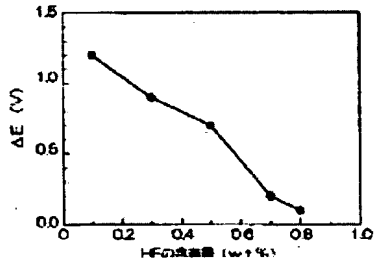
【図 6】



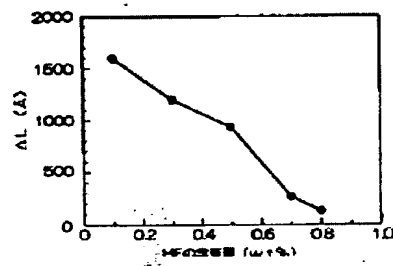
【図 8】



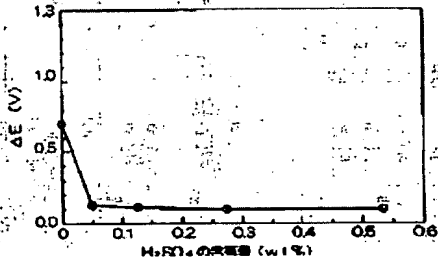
【図 9】



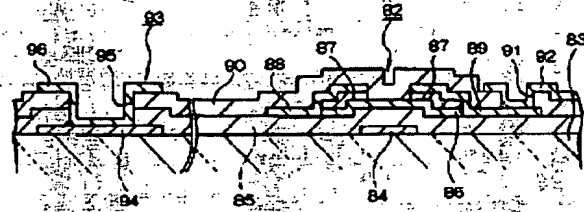
【図 10】



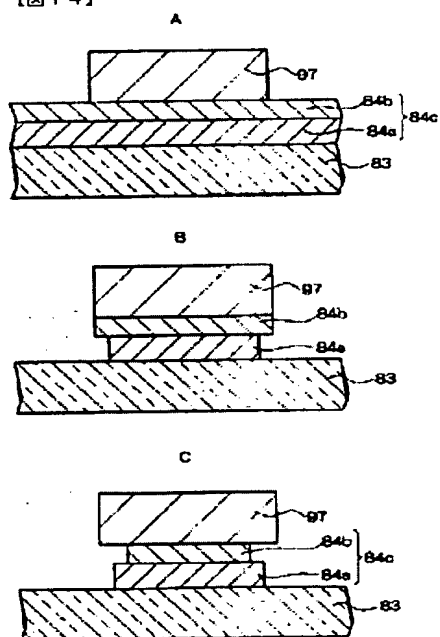
【図 11】



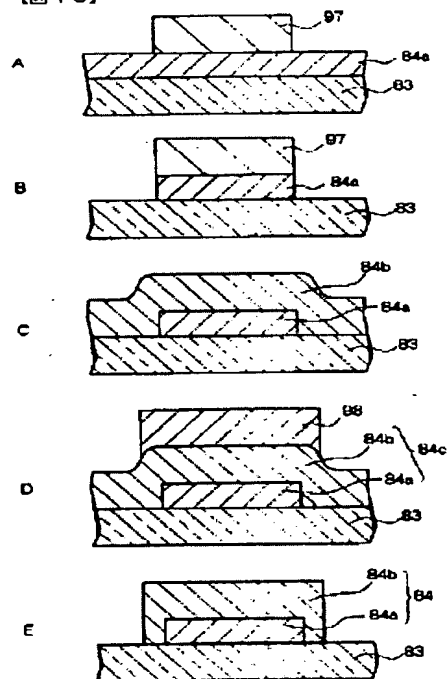
【図 12】



【図14】



【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.